

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-170135

(43)Date of publication of application : 29.06.1990

(51)Int.Cl.

G02F 1/136

G09F 9/30

H01L 29/784

(21)Application number : 63-326841

(71)Applicant : NEC CORP

(22)Date of filing : 23.12.1988

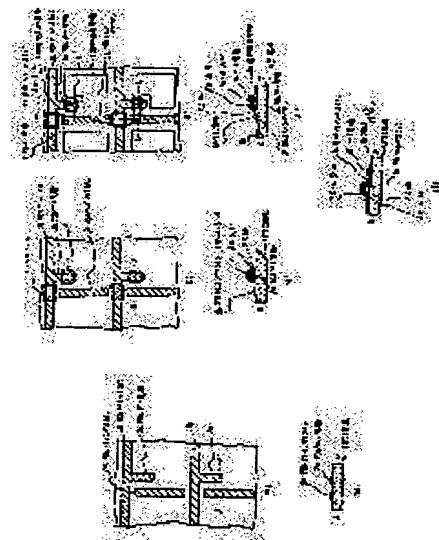
(72)Inventor : MORIYAMA HIROAKI

(54) THIN-FILM FIELD EFFECT TYPE TRANSISTOR ELEMENT ARRAY

(57)Abstract:

PURPOSE: To reduce film forming processes by forming gate bus lines of metallic films and forming picture element electrodes, drain and source electrodes of FETs, and the connecting wiring parts of drain bus lines formed in an island shape of transparent conductive films.

CONSTITUTION: The film of chromium is formed on a glass substrate 1 and is patterned to form the chromium gate electrodes 2a, the chromium drain buss lines 3a, and the chromium drain bus lines 5a. An SiN_x film 7, an a-Si:H film 8, an n⁺-a-Si:H film 9 are then laminated by a CVD method. these films are patterned to form the islands of the films 7 to 9 on the electrodes 2a and the bus lines 3a. More specifically, mask patterns (MP) are formed of a photoresist (PR) and the films 7 to 9 of the parts not coated with the PR are removed by dry etching; further, the PR is peeled. The film of ITO is the formed and is patterned by using the MP to form the transparent picture element electrodes 6b, the drain electrodes 4, the source electrodes 14, and the drain bus lines 5b connecting the drain bus lines made in the island shape.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平2-170135

⑮ Int.Cl.⁵

G 02 F 1/136
G 09 F 9/30
H 01 L 29/784

識別記号

5 0 0
3 3 8

庁内整理番号

7370-2H
6422-5C

⑬ 公開 平成2年(1990)6月29日

8624-5F H 01 L 29/78 3 1 1 A

審査請求 未請求 請求項の数 1 (全8頁)

⑭ 発明の名称 薄膜電界効果型トランジスタ素子アレイ

⑯ 特 願 昭63-326841

⑰ 出 願 昭63(1988)12月23日

⑱ 発 明 者 森 山 浩 明 東京都港区芝5丁目33番1号 日本電気株式会社
⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号
⑳ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

薄膜電界効果型トランジスタ素子アレイ

2. 特許請求の範囲

透光性絶縁基板上にゲートバスラインとドレインとがマトリックス状に形成され、前記ゲートバスラインと前記ドレインバスラインとの各交差部付近に薄膜電界効果型トランジスタが形成され、各々の前記薄膜電界効果型トランジスタには画素電極が接続された薄膜電界効果型トランジスタ素子アレイにおいて、

ゲート電極、前記ゲートバスライン、前記ドレインバスラインは同一の金属膜で形成され、

前記金属膜により形成された前記ドレインバスラインは前記ゲートバスラインとの各交差部付近で分離されて島状化され、

透明導電膜により、前記画素電極、前記薄膜電界効果型トランジスタのドレイン、ソース電極、

及び前記島状化された各ドレインバスラインの接続配線部が形成されていることを特徴とする薄膜電界効果型トランジスタ素子アレイ。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、特にアクティブマトリックス型液晶ディスプレイに用いる薄膜電界効果型トランジスタ素子アレイに関するものである。

(従来の技術)

携帯型コンピュータや壁掛けテレビ用のフラットパネルディスプレイとして液晶ディスプレイが注目されている。その中でもガラス基板上にアレイ化した薄膜電界効果型トランジスタを形成し、各画素のスイッチとして用いたアクティブマトリックス方式はフルカラー表示が可能であることからテレビなどへの応用が期待され、各機関で活発に開発が行なわれている。このアクティブマトリックス型液晶ディスプレイの実用化のためには低コスト化が重要な課題であり、その対策として構

造及びプロセスの簡略化がある。薄膜電界効果型トランジスタのゲート電極をソースドレイン電極よりもガラス基板側に形成する逆スタガード方式においては、従来の技術としては、3枚のマスクを用いた製造方法がある（例えば、特開 昭 62-286271）。

第3図(a)ないし(g)は従来の方法を基本にした薄膜電界効果型トランジスタ素子アレイを形成する一工程図であり、(a)、(c)、(e)は上部から見た平面図であり、(b)、(d)、(f)、(g)はそれぞれ各平面図のA-A'、B-B'、C-C'、D-D'の断面図である。第3図において、1は透光性絶縁基板であるガラス基板であり、2a及び6aはそれぞれクロム(Cr)ゲート電極及びクロム画素電極である。また2b及び6bは透明導電膜から構成される透明ゲート電極及び透明画素電極である。また7は窒化シリコン(SiN_x)、8は水素化アモルファスシリコン(a-Si:H)、9は磷をドーブしたn型水素化アモルファスシリコン($n^+-a\text{-Si:H}$)である。さらに4はドレイン電極、5aはクロムドレイン

- 3 -

バスライン5a付近の横層膜を残して、それ以外の部分の SiN_x 7、a-Si:H8、 $n^+-a\text{-Si:H}$ 9を除去する（第3図(c)、(d)）。そして、さらに第2の金属としてクロムを成膜した後、第3のマスクを用いてフォトリソグラフィ法により、第2のクロムのエッチングを行ない、クロムドレインバスライン5a、ドレイン電極4、ソース電極14を形成し、さらにエッチングを進めて透明画素電極6b上の第1のクロムからなるクロム画素電極6aを除去する。このとき同時に、薄膜トランジスタ10及びクロムドレインバスライン5aとの交差部以外の、透明ゲート電極2b上の第1のクロムからなるクロムゲート電極も除去される。そして、同一のレジストパターンを使用して $n^+-a\text{-Si:H}$ 9をエッチングすることにより、ドレイン電極4とソース電極14間のn型アモルファスシリコンを除去し、薄膜電界効果型トランジスタ10のチャネル部を形成する（第3図(e)、(f)）。この場合には、ゲートバスライン3は薄膜トランジスタ10及びドレインバスライン

- 5 -

バスライン

であり、同一の工程で形成され一体化されている。

薄膜電界効果型トランジスタ10（第3図(e)）のチャネル部をはさんでドレイン電極4の反対側に配置されたソース電極14はクロム画素電極6aを介して透明画素電極6bに接続されている。

ゲート電極及びドレイン電極としてクロム、ゲート絶縁膜として SiN_x 、半導体膜としてa-Si:H、n型半導体膜として磷をドーブした $n^+-a\text{-Si:H}$ 、透明導電膜としてインジウム、錫の酸化物（Indium Tin Oxide:ITO）を使用して、従来の薄膜電界効果型トランジスタアレイを作製する工程を第3図を用いて説明する。まず、ガラス基板1上にITO及び第1の金属としてクロムを積層し、第1のマスクパターンを用いてフォトリソグラフィ法によりクロムゲート電極2a、クロム画素電極6a、透明ゲート電極2b及び透明画素電極6bを形成する（第3図(a)、(b)）。次に SiN_x 7、a-Si:H8、 $n^+-a\text{-Si:H}$ 9を順次積層し、第2のマスクを用いてフォトリソグラフィ法により、薄膜電界効果型トランジスタ10及び

- 4 -

5との交差部では第1のクロムとITOの積層構造であるが、それ以外の部分ではITOのみから構成される（第3図(g)）。

通常、逆スタガード型薄膜トランジスタアレイを作製するためには5〜7枚のマスクパターンが必要とされるが、前述の方法によれば、マスク数3枚で薄膜電界効果型トランジスタアレイを形成できる。

（発明が解決しようとする課題）

さて、ディスプレイの表示サイズ的大型化にともない配線長が増大し、高精細化にともない配線幅は減少する。したがって、配線抵抗が増加するので、ゲートバスライン及びドレインバスラインに印加された電圧は、配線容量との作用で伝搬遅延を生ずる。この伝搬遅延によって、各薄膜トランジスタへの電圧の印加が不十分となるので、信号電圧の各画素へ書き込みが不十分となり、表示品質の低下をもたらす。特に、ゲートバスラインの場合、ディスプレイにおいて横方向に配置されるので配線長が長く、配線抵抗が高い。さらにド

- 6 -

レインバスラインとの交差部における容量や薄膜トランジスタのチャネル容量など、配線容量が大きいので、伝搬遅延の影響がドレインバスラインよりも大きい。そして、第3図(e)の平面図からわかるように、ゲートバスラインの一部は金属と比較して比抵抗が数十倍から数百倍高い透明導電膜から形成されているので、配線抵抗は高く、影響はさらに大きい。また、第3図(e)の薄膜電界効果型トランジスタ10付近には $a\text{-Si:H}$ 層が存在するために薄膜電界効果型トランジスタ10のチャネル長及びチャネル幅の規定が困難であった。

本発明は、マスクパターンを3枚より増加させることなく、ゲートバスラインを金属から形成し、さらに成膜プロセスを減少させることが可能な薄膜電界効果型トランジスタ素子アレイを提供することを目的としている。

(課題を解決するための手段)

本発明は、透光性絶縁基板上にゲートバスラインとドレインバスラインとがマトリックス状に形成され、前記ゲートバスラインと前記ドレインバ

スラインとの各交差部付近に薄膜電界効果型トランジスタが形成され、各々の前記薄膜電界効果型トランジスタには画素電極が接続された薄膜電界効果型トランジスタ素子アレイにおいて、ゲート電極、前記ゲートバスライン、前記ドレインバスラインは同一の金属膜で形成され、前記金属膜により形成された前記ドレインバスラインは前記ゲートバスラインとの各交差部付近で分離されて島状化され、透明導電膜により、前記画素電極、前記薄膜電界効果型トランジスタのドレイン、ソース電極、及び前記島状化された各ドレインバスラインの接続配線部が形成されていることを特徴としている。

(作用)

本発明の薄膜電界効果型トランジスタ素子アレイによれば、配線抵抗の影響が大きいゲートバスラインの全部分を金属から構成できる。また、トランジスタのチャネル長及びチャネル幅の規定が確実である。さらに、従来は、透明導電膜、第1の金属、ゲート絶縁膜、半導体膜、 n 型半導体膜、

- 7 -

第2の金属の計6回の成膜が必要であったが、本発明の構造によれば、第2の金属の成膜は必要ないので、プロセスが簡略化できる。

(実施例)

第1図(a)ないし(e)は、本発明による構造を持つ薄膜電界効果型トランジスタ素子アレイの製造方法の一実施例を示す工程図であり、(a)、(c)、(e)は上部から見た平面図であり、(b)、(d)、(f)、(g)はそれぞれ各平面図のA-A'、B-B'、C-C'、D-D'の断面図である。第1図において、1は透光性絶縁基板であるガラス基板であり、2a及び3aは金属としてクロムを使用したクロムゲート電極及びクロムゲートバスラインである。そして5aは同じくクロムから形成したクロムドレインバスラインで島状に形成されている。また7は窒化シリコン(SiN_x)、8は水素化アモルファスシリコン($a\text{-Si:H}$)、9は磷をドーブした n 型水素化アモルファスシリコン($n^+a\text{-Si:H}$)である。そして、5b、6bはそれぞれITOから形成された、透明ドレインバスライン、透明画素電極であ

- 9 -

る。さらに、4及び14はそれぞれ、ドレイン電極、ソース電極である。

第1図を用いて本発明の構造を持つ薄膜電界効果型トランジスタ素子アレイの製造方法を説明する。まず、ガラス基板1上にスパッタ法により 1000\AA のクロムを成膜し、第1のマスクパターンを用いてフォトリソグラフィ法により、クロムゲート電極2a、クロムドレインバスライン3a、クロムドレインバスライン5aを形成する(第1図(a)、(b))。具体的には、第1のマスクパターンをフォトレジストで形成し、ウェットエッチング法によりフォトレジストに覆われていない部分のクロムを除去する。このクロムのエッチングは、 CCl_4 を用いたドライエッチング法でもよい。そして、エッチング後、フォトレジストを剝離することにより第1のマスクパターンを用いたフォトリソグラフィが終了する。マスクパターンの特徴としては、ドレインバスラインがゲートバスラインとの交差部付近において、分離されて島状化されていることである。次に、プラズマCVD

- 10 -

(Chemical Vapor Deposition) 法により、 SiN_x 7、 a-Si:H 8、 $\text{n}^+\text{-a-Si:H}$ 9を順次成膜、積層する。なお、 SiN_x 7、 a-Si:H 8、 $\text{n}^+\text{-a-Si:H}$ 9の膜厚はそれぞれ、 3000\AA 、 2000\AA 、 500\AA である。その後、第2のマスクパターンを用いてフォトリソグラフィ法により、クロムゲート電極2a及びクロムゲートバスライン3a上に SiN_x 7、 a-Si:H 8、 $\text{n}^+\text{-a-Si:H}$ 9の島を形成する(第1図(c)、(d))。具体的には、フォトレジストで第2のマスクパターンの形状を形成する。そして、 CF_4 ガスを用いたドライエッチング法によりレジストに覆われていない部分の SiN_x 7、 a-Si:H 8、 $\text{n}^+\text{-a-Si:H}$ 9を除去し、さらにフォトレジストを剝離する。その次に、スパッタ法によりITOを 500\AA 成膜した後に第3のマスクパターンを用いてフォトリソグラフィ法により透明画素電極6b、ドレイン電極4、ソース電極14及び島状化されたドレインバスラインをそれぞれ接続するための透明ドレインバスライン5bを形成する。具体的には、

-11-

ブレイの縦方向に配置されるのでゲートバスラインより長さが短いこと、薄膜電界効果型トランジスタの容量についてはドレイン電極側のみ考慮すればよいことから、配線抵抗、配線容量による信号の伝搬遅延は短い(参考、昭和62年電子情報通信学会秋期大会半導体・材料部門予稿集185ページ)。したがって、信号電圧の書き込み不足による表示品質の低下をもたらすことのない、より大きなディスプレイが実現できる。

また、従来は、透明導電膜、第1の金属、ゲート絶縁膜、半導体膜、n型半導体膜、第2の金属の計6回の成膜が必要であったが、本発明の構造を持つ薄膜電界効果型トランジスタアレイの作製には、クロム膜、 SiN_x 膜、 a-Si:H 、 $\text{n}^+\text{-a-Si:H}$ 膜、ITO膜と5回しか成膜を行なわないので、製造プロセスの短縮が可能となる。

本実施例においては、透明導電膜としてITOを用いたが、 In_2O_3 や SnO_2 も使用できる。また、ゲート絶縁膜として、 SiN_x のかわりに SiO_2 を用いてもよい。さらに、ゲートバスライ

-13-

フォトレジストで第3のマスクパターンの形状を形成し、ウエットエッチング法によりレジストのない部分のITOを除去する。そして、同一のレジストパターンを使用して $\text{n}^+\text{-a-Si:H}$ 9をエッチングすることにより、ドレイン電極4とソース電極14間の $\text{n}^+\text{-a-Si:H}$ を除去し、薄膜電界効果型トランジスタ10のチャネル部を形成する(第1図(e)、(f)、(g))。最後にフォトレジストを除去することにより、薄膜電界効果型トランジスタ素子アレイが完成する。

以上の製造方法に述べたように、本実施例による薄膜電界効果型トランジスタアレイは、第1図(f)の平面図及び(g)の断面図に示すように、ゲートバスライン3は全部分をクロムから形成できる。クロムの抵抗はITOの1/20程度であるので、従来の一部ITOから構成されていたゲートバスラインと比較して、1桁程度低い配線抵抗のゲートバスラインが実現できた。なお、本実施例の場合にはドレインバスラインが一部ITOから構成されるが、ドレインバスラインにおいてはディス

-12-

ンのクロムのかわりに、タンタル、アルミニウム、モリブデン等の他の金属を用いることも可能である。

本発明による他の薄膜電界効果型トランジスタ素子アレイの平面図を第2図に示す。この場合には、ITOをクロムゲートバスライン3a上にも配置することにより、ゲートバスラインの2重配線を行ない、断線を防止している。また、ドレインバスラインにおいても、ITOから形成された透明ドレインバスライン5b延長してドレイン電極4に接続し、さらに隣の透明バスラインとも接続することにより、ドレインバスラインの低抵抗化と、2重配線による断線防止策が施している。この他は前述の実施例と同じである。

(発明の効果)

以上述べてきたように、本発明の薄膜電界効果型トランジスタアレイによれば、ゲートバスラインの低抵抗化が可能となり、信号パルスの伝搬遅延を原因とした信号電圧の書き込み不足による表示品質の低下をもたらすことのない、より大きな

-14-

ディスプレイが実現できる。さらに、本発明の薄膜電界効果型トランジスタの製造に際しては、従来と比較して成膜工程が1回減少し、ディスプレイの製造コスト、歩留まりの点から有利であるので、実用上有効である。

9 …… $n^+a\text{-Si:H}$ 、10 …… 薄膜電界効果型トランジスタ、14 …… ソース電極。

代理人 弁理士 内 原 晋

4. 図面の簡単な説明

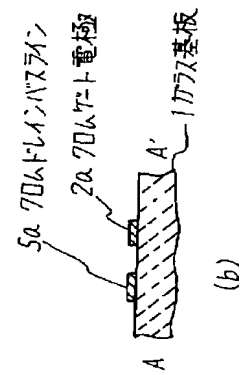
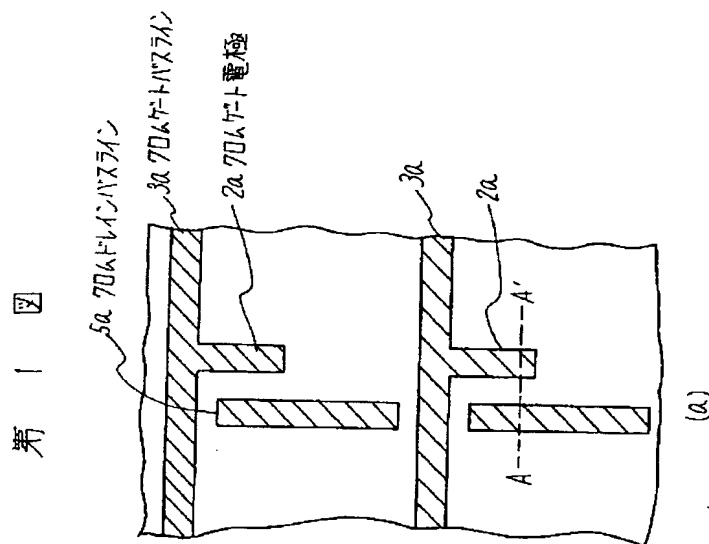
第1図(a)ないし(b)は、本発明による薄膜電界効果型トランジスタ素子アレイの一実施例の製造工程を説明する平面図及び断面図、第2図は他の実施例の平面図、第3図(a)ないし(b)は、従来の薄膜電界効果型トランジスタ素子アレイの製造工程を説明する平面図及び断面図である。

図において

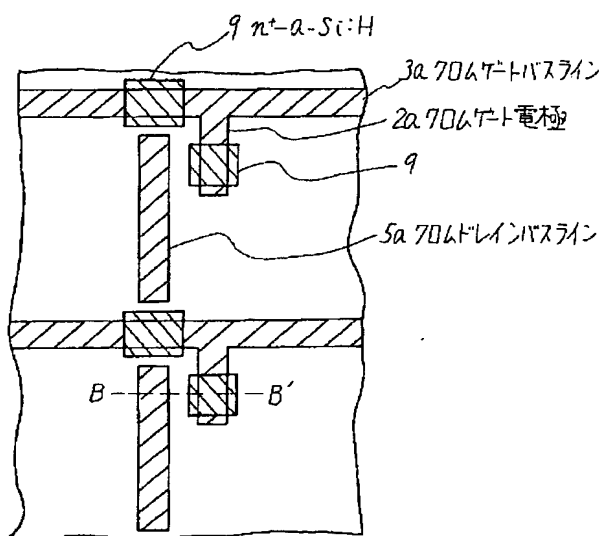
1 …… ガラス基板、2a …… クロムゲート電極、2b …… 透明ゲート電極、3a …… クロムゲートバスライン、4 …… ドレイン電極、5a …… クロムドレインバスライン、5b …… 透明ドレインバスライン、6a …… クロム画素電極、6b …… 透明画素電極、7 …… SiN_x 、8 …… $a\text{-Si:H}$ 、

—15—

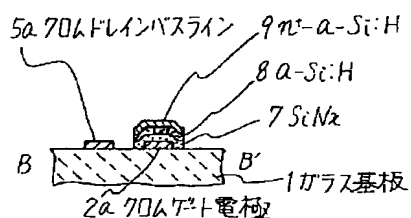
—16—



第 1 図

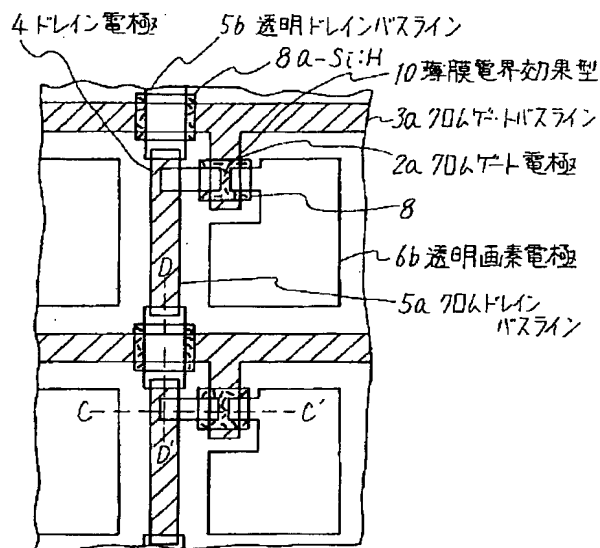


(c)

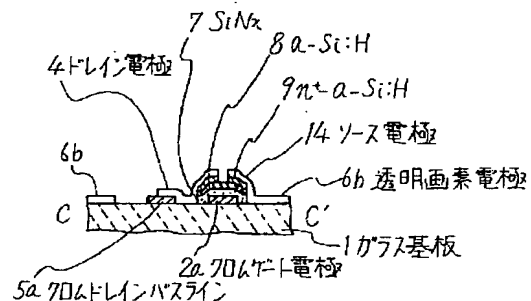


(d)

第 1 図

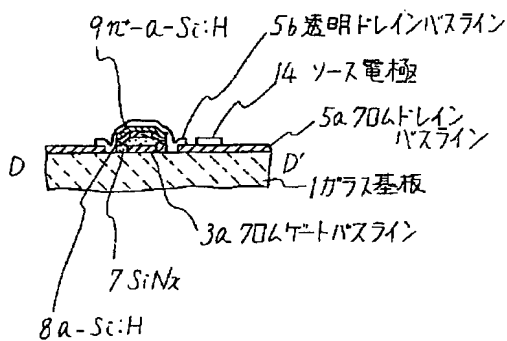


(e)



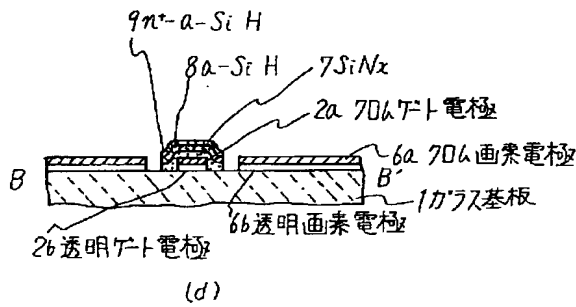
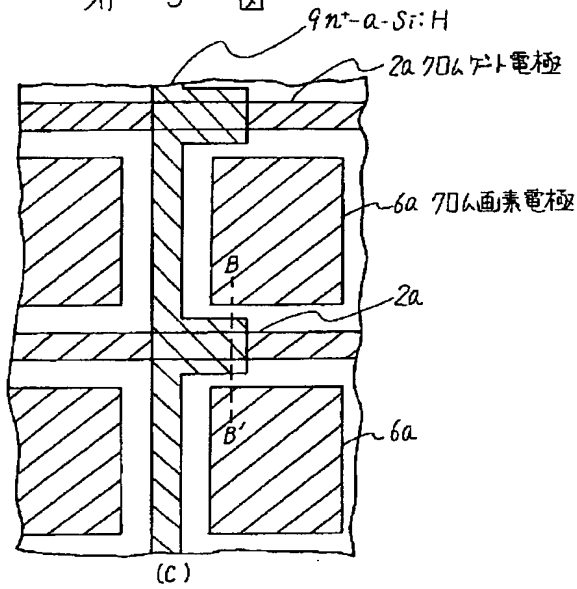
(f)

第 1 図

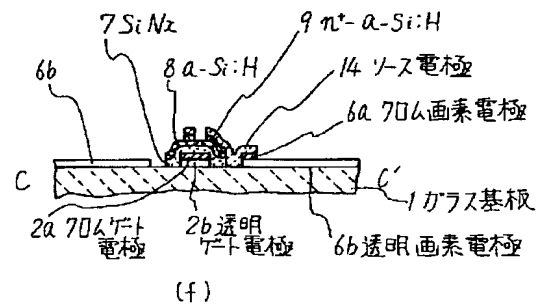
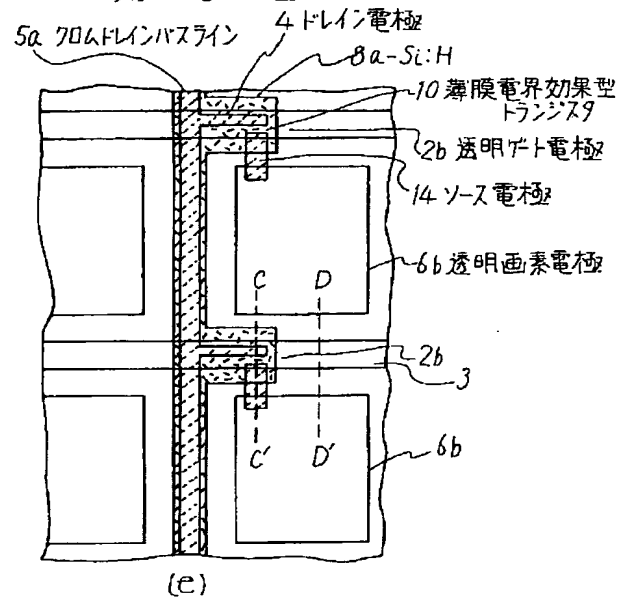


(g)

第 3 図



第 3 図



第 3 図

